

Charge feedback differential logic circuit, e.g. for VLSI technology and multimedia system

Patent number: DE19631911

Publication date: 1998-01-29

Inventor: KONG BAI SUN (KR)

Applicant: LG SEMICON CO LTD (KR)

Classification:

- international: H03K19/094; H03K19/096; G06F1/32

- european: G11C11/412; H03K19/21C; H03K19/096C; G06F7/50C2; G06F7/50C2C; G06F7/50C6; H03K19/00P8; H03K19/173C4

Application number: DE19961031911 19960807

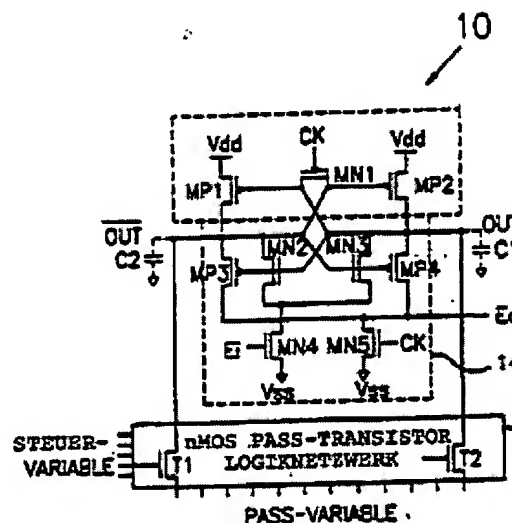
Priority number(s): US19960022565P 19960724; US19960688881 19960731

Also published as

US585954
JP1011714

Abstract of DE19631911

The differential logic circuit has a charge recycling differential logic (CRDL), a structure which has a logic network (10) with complementary transistors as well as a load circuit and an acceleration buffer (14). The load circuit has a pair of cross coupled PMOS transistors (MP1,MP2), output nodes and an NMOS transistor (MN1) coupled to the gates of the transistors. The control variables are coupled to an NMOS pass transistor logic network (16). The circuit receives pulse signals of two voltage levels at two nodes (/OUT,OUT). The PMOS transistors of the load circuit increase the voltage at the first node to a first value Vdd, when the pulsed signal changes from a first to a second level. The network drops then the voltage at the second node to a second value. If the pulsed signal changes from a second level to a first, the NMOS transistor applies to both nodes an intermediate voltage.



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 196 31 911 A 1**

⑤1 Int. Cl. 6:
H03 K 19/094
H 03 K 19/096
G 06 F 1/32

②1 Aktenzeichen: 196 31 911.0
②2 Anmeldetag: 7. 8. 96
②3 Offenlegungstag: 29. 1. 98

DE 19631911 A1

③0 Unionspriorität:

80/022 565 24.07.96 US
08/688 881 31.07.96 US

⑦1 Anmelder:

LG Semicon. Co., Ltd., Cheongju, KR

⑦A Vertreter:

Patent- und Rechtsanwälte Wuesthoff & Wuesthoff,
81541 München

⑦2 Erfinder:

Kong, Bai Sun, Seoul/Soul, KR

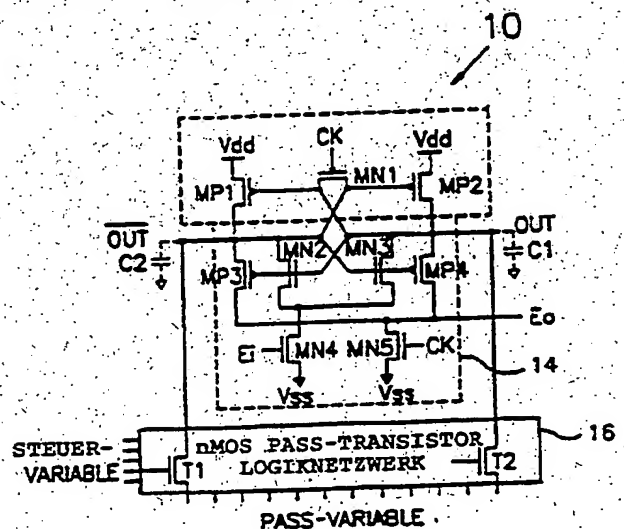
⑤6 Entgegenhaltungen:

WO 94 21 045 A1

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Differential-Logikschaltung mit Ladungsrückführung und eine solche Schaltung verwendende Geräte

⑤7 Eine neuartige Logikschaltung wird als CRDL (Charge Recycling Differential Logic, CRDL, Differentiallogik mit Ladungsrückführung) bezeichnet. Solche Logikschaltungen reduzieren den Leistungsverbrauch durch Anwenden einer Ladungsrückführtechnik, wobei die Rechengeschwindigkeit derjenigen herkömmlicher dynamischer Logikschaltungen vergleichbar ist. Die CRDL-Schaltung verbessert auch das Rauschverhalten aufgrund eines inhärenten statischen Betriebs. Eine 8-bit-Manchesterübertragungskette und Volladdierer wurden hergestellt unter Verwendung einer CMOS-Technologie mit 0,8 µm Einfach-Poly-Doppel-Metall und n-Mulde. Die Meßergebnisse zeigen Verbesserungen von 16 bis 48% hinsichtlich des Produktes von Leistung und Verzögerungszeit im Vergleich mit einer Differential-Kaskoden-Spannungsschaltung (DCVS).



DE 19631911 A1

Beschreibung

Die Erfindung betrifft eine logische Baueinheit und insbesondere eine Differential-Logikschaltung mit Ladungsrückführung (CRDL-Charge Recycling Differential Logic) und ein solche Schaltung verwendende Vorrichtungen.

Die VLSI-Technik (Very Large Scale Integration; Höchstintegration von IC) ermöglicht eine leistungsfähige Hardware für anspruchsvolle Computeranwendungen, insbesondere im Multimedia-Bereich, wie beispielsweise auch die Spracherkennung in Echtzeit und Videos mit voller Bewegung. Die Änderungen in der Rechnerumgebung haben unterschiedliche elektronische Hochgeschwindigkeitsschaltungen zur Folge. Benutzerseitig bestehen jedoch erhöhte Anforderungen hinsichtlich der Handhabbarkeit und Tragbarkeit der Rechnerausrüstungen.

Das Erfordernis der Tragbarkeit beinhaltet deutliche Einschränkungen hinsichtlich Größe, Gewicht und Leistung. Der Leistungsverbrauch ist ein beherrschendes Kriterium bei mobilen Einrichtungen, da die bekannte Batterietechnik nicht in der Lage ist, eine für einen Langzeitbetrieb solcher Systeme erforderliche Energie bereitzustellen. Deshalb waren herkömmliche Anwendungen tragbarer Digitalgeräte hauptsächlich mit geringem Leistungsverbrauch verbunden, wie beispielsweise Armbanduhren oder Taschenrechner mit geringer Durchgangsleistung (geringem Datendurchlauf).

Eine Vielzahl von tragbaren Geräten erfordert jedoch einen geringen Leistungsverbrauch mit gleichzeitig hohem Datendurchlauf. So erfordern beispielsweise zeitgemäße Notebook- und Laptop-Rechner fast die gleiche Rechengeschwindigkeit- und Kapazität wie Desktop-Rechner (Tischcomputer). Gleichermaßen anspruchsvoll sind jüngere Entwicklungen im Bereich persönlicher Kommunikationssysteme, wie beispielsweise digitale Mobilphone-Telefonnetzwerke, die komplexe Kompressionsalgorithmen für die Sprache und aufwendige Radiomodems verwenden.

Noch mehr Leistung wird für tragbare Multimedia-Systeme verlangt, die ein digitales Video mit voller Bewegung ermöglichen. Dabei wird zusätzlich zu den bereits knapp gehaltenen Energieanforderungen zusätzliche Energie für die Video-Kompression und -Dekompression und die Spracherkennung gefordert. Diese tragbaren Systeme weisen gegenüber ortsfesten Workstations (Arbeitsplatzsystemen) gesteigerte Fähigkeiten auf und unterliegen der Anforderung, sowohl tragbar zu sein als auch einen geringen Leistungsverbrauch aufzuweisen.

Sogar in nicht tragbaren Systemen wird ein geringer Leistungsverbrauch wichtig. Bis vor kurzem war dabei der Energieverbrauch noch nicht besonders kritisch, da die vom Chip erzeugte Wärme durch eine geeignete Ummantelung ausreichend abgeführt werden konnte. Die Reduzierung der Abmessungen ermöglicht aber die Verwirklichung einer größeren Anzahl von funktionellen Baueinheiten auf einem einzigen Chip durch Erhöhung der Anzahl integrierter Transistoren.

Diese funktionalen Gruppen sind regelmäßig sehr intensiv hinsichtlich der Rechnerleistung und arbeiten gleichzeitig. Dabei steigt der Energieverbrauch dramatisch in komplexen VLSI-Systemen, wie beispielsweise Hochleistungsmikroprozessoren und Mehrzweck-Digital-Signalprozessoren (DSP's). Da die in einem CMOS-Digitalschaltkreis umgesetzte Energie zur Taktfrequenz proportional ist, steigert eine Erhöhung der Betriebsgeschwindigkeit auch den Energieverbrauch.

Um der erhöhten Wärmeentwicklung Rechnung zu tragen, sind geeignete Kühltechniken erforderlich, wie Kühlrippen und Gebläse. Solche Techniken erhöhen aber die Kosten und/oder begrenzen die Anzahl von Funktionen, die auf einem einzigen Chip integriert werden können. Somit wurde die Verringerung des Energieverbrauchs eine kritische Kenngröße beim Entwurf komplexer VLSI-Systeme.

Beim Entwurf von Systemen mit geringem Energieverbrauch muß eine Vielzahl von Kriterien beachtet werden, wie die Art der verwendeten Logik, die verwendete Technologie und die Architektur. Darunter ist die Wahl der richtigen Logik einer der wichtigsten Faktoren für eine Reduzierung des Energieverbrauchs, weil die in den arithmetischen und logischen Einheiten verbrauchte Energie in großem Maße davon abhängt, wie diese Baugruppen implementiert sind. Die Wahl der logischen Schaltung beeinflusst auch die Wahl der Architektur. Somit müssen die logischen Schaltungen für eine Optimierung der Systeme genau analysiert werden, und es besteht ein Bedarf nach neuen logischen Schaltungen mit geringem Energieverbrauch.

Es gibt eine Anzahl von Möglichkeiten bei der Auswahl der grundlegenden Schaltungsstruktur und -topologie für die Implementierung verschiedener logischer und arithmetischer Funktionen. Allgemein können diese logischen "Familien" (Schaltungstechnologien) in zwei Gruppen aufgeteilt werden, nämlich in Abhängigkeit von der Betriebsart. Die erste Gruppe ist durch eine statische Logik gekennzeichnet, bei der alle internen Knoten statisch sind und somit der Rauschpegel recht hoch ist. Die zweite Gruppe beinhaltet dynamische Logikschaltungen, die ein vorheriges Aufladen verwenden, um die Geschwindigkeit zu erhöhen. Dabei erhöhen sich auch die Kosten aufgrund einer erhöhten Komplexität der Konstruktion zur Vermeidung bestimmter Probleme, wie der Ladungsaufspaltung aufgrund des dynamischen Betriebs.

Die einfachste Form einer statischen Logikschaltung ist eine herkömmliche CMOS-Logik mit sowohl pMOS- und nMOS-Transistoren in dualer Form. Fig. 1A zeigt beispielhaft den Aufbau eines NAND-Gatters mit zwei Eingängen. Eine herkömmliche CMOS-Logikschaltung ist insofern nachteilig, als eine große Anzahl von Transistoren erforderlich ist, um eine bestimmte Bool'sche Logikfunktion zu verwirklichen. Weiterhin muß die Breite des pMOS-Transistors, der zum Hochsetzen der Spannung eingesetzt wird, zwei- bis dreimal größer sein als die des nMOS-Transistors, um die Anstiegs- und Abfallzeiten auf beiden Seiten anzugleichen, weil der pMOS-Transistor nur vergleichsweise wenig Steuerstrom treiben kann. Diese Kompensation bewirkt eine Vergrößerung der Fläche bei der Implementierung einer herkömmlichen CMOS-Logik, im Vergleich zu herkömmlicher nMOS-Logik, wenn die gleiche Bool'sche Logikfunktion verwirklicht werden soll. Darüber hinaus kann die Betriebsgeschwindigkeit aufgrund parasitärer Kapazitäten zu niedrig werden.

Eine Logikschaltung in Form eines Differential-Kaskoden-Spannungsschalters (DCVS- Differential Cascode Voltage Switch) gemäß Fig. 1B löst das Problem bei einem herkömmlichen CMOS-Schaltkreis. Die DCVS-Lo-

gikschaltung ist aber tatsächlich langsamer und verbraucht mehr Leistung als eine herkömmliche CMOS-Logikschaltung. Beim Schalten müssen die p-Kanal-Transistoren zum Hochsetzen der Spannung gegen die Logikschaltung des nMOS-Kaskodennetzwerkes, die die Spannung heruntersetzt, wirken. Die Zeit bis zur Einstellung des Signals verlängert die Zeitspanne für die Logikschaltung insgesamt und verursacht einen beträchtlichen Kurzschlußstrom, wodurch der Leistungsverbrauch erhöht wird.

Eine andere bekannte CMOS-Logikschaltung ist die sogenannte Pass-Transistorlogik (passiv). Ein einfaches Beispiel einer solchen Logikschaltung ist der in Fig. 1C dargestellte Multiplexer mit zwei Eingängen, d. h. einem XOR-Gatter. Die Pass-Logikschaltung ist jedoch insofern nachteilig als die Fähigkeit einer solchen Schaltung zum Stromtreiben gering ist, woraus eine Reduzierung der Geschwindigkeit folgt. Somit müssen Stromtreiber regelmäßig zwischen den einzelnen Stufen angeordnet werden. Weiterhin kann der n-Kanal das logische "hoch" nicht wirksam treiben, so daß der Spannungswechsel leidet.

Die Komplementäre Pass-Transistor-Logik (CPL) als weitere Schaltungstechnik löst das mit der nMOS-Technik verbundene Problem der Pass-Transistorlogik. Die CPL verbindet ein nMOS-Pass-Transistornetzwerk mit niedrigem Spannungsschwellwert, um im Falle eines logischen "hoch"-Pegels am Ausgang den Spannungsabfall zu reduzieren. Die CPL besteht aus einem komplementären nMOS-Pass-Transistor-Logiknetzwerk und zwei CMOS-Ausgangseinschüben, wie in Fig. 1D gezeigt ist. Die Pass-Transistoren dienen zum Hochsetzen bzw. Herabsetzen der Spannung. Die Ausgangs-Einschübe verschieben die logische Schwellwertspannung und dienen als Puffer zum Treiben der kapazitiven Last.

Die dynamischen Logikschaltungen haben einige grundlegende Eigenschaften gemeinsam. Alle dynamischen Logikschaltungen beinhalten ein vorheriges Aufladen der Ausgangsknoten auf einen bestimmten Pegel (üblicherweise auf die Versorgungsspannung), wobei der Stromweg zum Masseanschluß abgeschaltet ist. Bei Abschluß des vorangehenden Aufladens wird der Stromweg zum höheren Pegel abgeschaltet und der Stromweg zum Masseanschluß geöffnet. Abhängig vom Zustand der Eingangsanschlüsse wird ein Ausgangsanschluß entweder auf dem aufgeladenen Pegel erdfrei schweben oder auf Erdpotential absinken. Da die Lastkapazität um einen Faktor 2 oder 3 verringert ist, reagiert das Gatter etwa zweimal so schnell wie bei einer statischen Logikschaltung.

Die Fig. 2A—2D zeigen unterschiedliche Typen dynamischer Logikschaltungen. Eine CMOS-Domino-Schaltung weist die grundlegenden Eigenschaften einer dynamischen Logikschaltung auf. Eine einfache Domino-Logikschaltung ist in Fig. 2A dargestellt. Eine andere Art einer dynamischen Logikschaltung wäre eine taktgesteuerte Version einer DCVS-Schaltung, die einer statischen DCVS-Schaltung ähnlich ist, mit der Ausnahme, daß ein Taktsignal pMOS-Transistoren zum Hochsetzen der Spannung treibt anstelle einer kreuzweisen Verbindung zwischen diesen Transistoren, wie es Fig. 2B zeigt. Fig. 2C zeigt eine Abtast-Differentiallogikschaltung (SSDL), die eine Modifikation der taktgesteuerten DCVS ist. Eine verriegelte CMOS-Differentiallogikschaltung (LCDL) gemäß Fig. 2D verwendet einen ähnlichen Abtastverstärker, um die Geschwindigkeit zu erhöhen.

Zwar versuchen die vorstehend genannten Logikschaltungen, die bei jedem Arbeitszyklus verbrauchte Ladungsmenge zu reduzieren, jedoch ist der Energieverbrauch gleichwohl groß, da die Ladung wiederholt in einem gegebenen Arbeitszyklus von der Versorgungsspannung zum Erdpotential bewegt wird. Die Autoren Younis und Knight vom MIT schlugen ein Verfahren zur Ladungsrückgewinnung mittels einer neuen Art von Logikschaltungen vor, die als "Ladungsrückgewinnungslogik" (Charge Recovering Logic — CRL) bezeichnet wird. Diese Technik wird beschrieben in dem Artikel "Practical implementation of charge recycling Asymptotically zero power CMOS", Research on Integrated System, Proc. 1993 Symp., Cambridge, MA 1993.

Die Technik der Ladungsrückgewinnung kann eine Energieeinsparung von über 99% erreichen, wenn ein hinreichend langsames Schalten durchgeführt wird. Die Idee ist, eine spiegelbildliche Schaltung einer Schaltung zu schaffen, welche das Inverse des Originals berechnet, wie in Fig. 3A gezeigt ist. Sobald jede Stufe der Schaltung ein Ergebnis ermittelt, überführt sie ihr Ergebnis zu ihrer Spiegelbildstufe, welche das Inverse berechnet. Während in der Stammschaltung die Ladung zum Ende wandert, wird in der Spiegelschaltung die Ladung zum Anfang rückgeführt. Die logische Konstruktion bei der Implementierung der CRL-Technik ist jedoch sehr aufwendig und die beabsichtigte Energieeinsparung kann bei gewöhnlichen Anwendungen kaum verwirklicht werden.

Eine Verfeinerung der Technik im Sinne einer Einsparung und Wiederverwendung nur eines Teils der Ladung scheint mit herkömmlicher CMOS-Technik möglich zu sein. Ein Beispiel ist ein Puffer mit reduzierter Leistung (Reduced-Power Buffer -RPB), wie er in Fig. 3B gezeigt ist. Dieser Puffer nutzt einen Speicherkondensator zum Bewahren eines Teils der Ladungen, die andernfalls verloren gingen. Diese Schaltung weist einen Treiber auf mit einem zusätzlichen Ladungskondensator, der über einen Schalter T1 mit dem Ausgangsknoten verbunden ist. Bei einem Übergang von "hoch" nach "tief" bewahrt die Schaltung einen Teil der Ladung im Speicherkondensator Cs, anstatt daß sie zum Masseanschluß fließt und verloren geht. Kurz vor dem nächsten Übergang von "tief" nach "hoch" wird die aufgesparte Ladung zum Ausgangsknoten rückgeführt.

Dieses Verfahren ist nur bei solchen Anwendungen nützlich, bei denen große kapazitive Lasten geschaltet werden. Der Speicherkondensator muß größer sein als der Lastkondensator, um eine hinreichende Energieeinsparung zu erreichen. Ein anderes Beispiel ist eine Wiederauffrischung (Refresh-Vorgang) in einem DRAM, wobei die zur Auffrischung von Zellen in einer Reihe benutzte Ladung in eine andere Reihe rückgeführt wird. Dies ist in dem Aufsatz "A charge Recycle Refresh for Gb-Scale DRAM's in File Applications", IEEE Journal of Solid State Circuits, Vol. 29, No. 6, Juni 1994, von Kawahara u. a. beschrieben.

Es gibt jedoch keine praktisch verwendbare Ladungsrückführung, die für eine allgemeine Anwendung bei dem Entwurf logischer Schaltung brauchbar wäre.

Es ist das Ziel der vorliegenden Erfindung, bei logischen Schaltungen den Energieverbrauch zu senken. Gleichzeitig ist es auch Ziel der Erfindung, bei logischen Schaltungen (Rechen-)Geschwindigkeit zu erhöhen. Weiterhin ist es Ziel der Erfindung, bei logischen Schaltungen das sogenannte di/dt-Rauschen zu reduzieren.

Auch sollen mit der Erfindung rauschempfindliche dynamisch Knoten bei logisch n Schaltungen eliminiert werden können. Weiterhin hat die Erfindung das Ziel, die Implementierung logischer Funktionen zu vereinfachen.

Die genannten Ziele werden zumindest zum Teil erfindungsgemäß durch eine Logikschaltung erreicht, die mit Taktsignalen eines ersten und eines zweiten Pegels arbeitet und folgendes aufweist:

Erste und zweite Knoten, eine Einrichtung zum Hochsetzen der Spannung am ersten Knoten auf ein erstes Potential, wenn das Taktsignal vom ersten Pegel zum zweiten Pegel übergeht; eine Einrichtung zum Herabsetzen der Spannung am zweiten Knoten auf ein zweites Potential, wenn das Taktsignal vom ersten Pegel auf den zweiten Pegel übergeht; und eine Einrichtung zum Angleichen (der Potentiale) der ersten und zweiten Knoten an ein drittes Potential, das zwischen den ersten und zweiten Potentialen liegt, wenn das Taktsignal vom zweiten Pegel auf den ersten Pegel übergeht.

Die genannten Ziele der Erfindung können auch zumindest teilweise durch eine erfindungsgemäße Logikschaltung erreicht werden, die folgendes aufweist: Erste und zweite Knoten; ein Paar von kreuzgekoppelten ersten und zweiten Transistoren, die an die ersten und zweiten Ausgangsknoten angeschlossen sind; einen dritten Transistor, der mit den ersten und zweiten Transistoren verbunden ist, wobei der dritte Transistor die (Potentiale der) ersten und zweiten Knoten an Potentiale angleicht, die etwa einander gleich sind; und ein logisches Netzwerk, das an die ersten und zweiten Knoten angeschlossen ist, um eine vorgegebene Logikfunktion zu implementieren.

Nach der Erfindung wird auch ein Verfahren bereitgestellt zum Rückführen von in ersten und zweiten parasitären Kondensatoren erster bzw. zweiter Knoten gespeicherter Ladungen mit folgenden Schritten: Hochsetzen der Spannung an einem ersten Knoten auf ein erstes Potential, wenn ein Taktsignal von einem ersten Pegel auf einen zweiten Pegel übergeht; Angleichen der Potentiale an den ersten und zweiten Knoten an ein drittes Potential, das zwischen den ersten und zweiten Potentialen liegt, wenn das Taktsignal vom zweiten Pegel auf den ersten Pegel übergeht.

Nachfolgend wird die Erfindung anhand der Zeichnung näher beschrieben. Es zeigt bzw. zeigen:

Fig. 1A schematisch ein NAND-Gatter in CMOS-Logik mit zwei Eingängen;

Fig. 1B schematisch einen Spannungsschalter mit Differential-Kaskode (DCVS);

Fig. 1C schematisch eine Logikschaltung in Form eines Multiplexers mit zwei Eingängen und mit einem CMOS-Pass-Transistor (Pass = Durchgang);

Fig. 1D schematisch eine Logikschaltung mit komplementärem Pass-Transistor;

Fig. 2A schematisch eine CMOS-Domino-Logikschaltung;

Fig. 2B schematisch eine taktgesteuerte DCVS-Schaltung;

Fig. 2C schematisch eine Differential-Logikschaltung, die auf Abtastung gesetzt ist;

Fig. 2D schematisch eine CMOS-Differential-Logikschaltung, die quasi in einer Phase verriegelt ist;

Fig. 3A das Grundkonzept der Technik der Ladungsrückführung;

Fig. 3B einen Puffer mit reduziertem Leistungsverbrauch in vereinfachter Transistordarstellung;

Fig. 4A eine Differential-Logikschaltung mit Ladungsrückgewinnung (Charge Recovery Differential Logic - CRDL) gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

Fig. 4B ein Diagramm des zeitlichen Betriebs des CRDL-Schaltkreises gemäß Fig. 4A;

Fig. 4C—4E schematisch unterschiedliche Ausführungsbeispiele von CRDL-Schaltkreisen;

Fig. 5A—5D schematisch Schaltkreise zur Rückgewinnung eines vollen Signalauschlages an den Ausgangsknoten des CRDL-Schaltkreises;

Fig. 6A und 6B ein Netzwerk in Pass-Transistorlogik zur Implementierung einer XOR/XNOR-Logikfunktion und die zugehörige Logiktable;

Fig. 6C und 6D ein Netzwerk in Pass-Transistorlogik zur Implementierung einer AND/NAND-Logikfunktion und die zugehörige Logiktable;

Fig. 7A einen Vergleich der Ergebnisse hinsichtlich des Stromverbrauchs für XOR/XNOR- und AND/NAND-Gatter, die DCVS, LCDL und CRDL-Schaltungen verwenden;

Fig. 7B den Stromverbrauch von XOR/XNOR- und AND/NAND-Gattern mit zwei Eingängen, die DCVS- und CRDL-Schaltungen mit wechselnden Lastkapazitäten verwenden;

Fig. 8 schematisch eine Manchesterübertragungskette, die eine CRDL-Schaltung verwendet;

Fig. 9A und 9B schematisch Additions- bzw. Übertragungsschaltungen eines Volladdierers unter Verwendung einer CRDL-Schaltung;

Fig. 10A und 10B in vereinfachter Darstellung optimierte Versionen einer 8-bit-Übertragungskette; und

Fig. 11A und 11B gemessene Kurvenformen einer optimierten, sechsstufigen Version eines 8-bit-Manchester-Volladdierers bzw. eines 32-stufigen Volladdierers, unter Verwendung von CRDL-Schaltkreisen.

Die Auswahl bestimmter logischer Techniken für die Implementierung logischer Funktionen (logischer Schaltungen) hängt von einer Vielzahl von Kriterien ab, wie der Geschwindigkeit, der Leistung, der Testfähigkeit und der Einfachheit des Entwurfs. Um den Leistungsverbrauch zu reduzieren, müssen Faktoren, wie die Versorgungsspannung, parasitäre Kapazitäten, die Schalzhäufigkeit beim Betrieb, Kurzschlußströme, die Einfachheit des Abschaltens bzw. des Einschaltens eines Zustandes mit verringerter Leistungsaufnahme etc. berücksichtigt werden. Die Berücksichtigung der Geschwindigkeit sollte nicht übersehen werden, da das wichtige Kriterium nicht nur der Leistungsverbrauch pro Zeiteinheit, sondern auch die Energie ist, die erforderlich ist, um eine vorgegebene Operation durchzuführen.

Fig. 4A zeigt einen grundlegenden Schaltkreis 10 in Differentiallogik mit Ladungsrückführung (Charge Recycling Differential Logic - CRDL) gemäß der Erfindung. Der CRDL-Schaltkreis weist ein logisches Netzwerk 10 mit komplementär n Ausgangs-Tasttransistoren auf, sowie eine Schaltung 12 zum vorangehenden Laden und einen Beschleunigungspuffer 14. Es gibt zwei Arten von Eingaben in das Pass-Transistor-Logiknetzwerk: (1)

Steuervariable und (2) Pass-Variable, um eine bestimmte Logikschaltung zu verwirklichen (Pass-Variable = Durchgangvariable; Pass-Transistor = Durchgangstransistor).

Die Schaltung 12 zum vorangehenden Aufladen besteht aus einem kreuzgekoppelten Paar von pMOS-Transistoren MP1 und MP2, Ausgangsknoten /OUT und OUT und einem nMOS-Transistor MN1, der an die Gates der Transistoren MP1 und MP2 angeschlossen ist. Das kreuzgekoppelte Paar MP1 und MP2 setzt einen der komplementären Ausgangsknoten /OUT oder OUT auf die Spannung Vdd herauf, während der andere (Knoten) auf Vss herabsinkt, wobei der nMOS-Transistor MN1 benutzt wird, um die Spannungen an den Ausgangsknoten OUT und /OUT auf etwa die Hälfte der Versorgungsspannung Vdd anzugleichen. Die Schwellwertspannungen der pMOS-Transistoren MP1 und MP2 im kreuzgekoppelten Paar sind relativ größer als bei anderen Transistoren. Mit anderen Worten: die pMOS-Transistoren MP1 und MP2 sind nahezu ausgeschaltet, wenn die zwei komplementären Ausgangsknoten OUT und /OUT auf die Hälfte von Vdd vorgeladen sind. Die Kondensatoren C1 und C2 sind parasitäre kapazitive Impedanzen (Kapazitanzen) der Ausgangsknoten OUT bzw. /OUT. Die parasitären Kapazitanzen können einander gleich sein oder nicht.

Das nMOS-Pass-Transistorlogiknetzwerk 16 arbeitet schneller als ein Kaskoden-Logiknetzwerk. Wenn es allerdings in einer langen Kette eines Puffers verwendet wird, leidet die Geschwindigkeit des CRDL-Schaltkreises 10. Ein Beschleunigungspuffer 14 kann hinzugefügt werden, um die Betriebsgeschwindigkeit des CRDL-Schaltkreises 10 zu erhöhen. Der Beschleunigungspuffer 14 wird durch ein Freigabesignal Ei aktiviert und das Signal Eo ist das Ausgangssignal, welches als Freigabesignal Ei für die nächste Stufe benutzt wird. Die Transistoren MN2, MN3 und MN4 bilden den Leseverstärker, um einen Übergang, bei dem die Spannung herabgesetzt wird, zu beschleunigen, während die Transistoren MP3, MP4 und MN5 verwendet werden, um in der nächsten Stufe das Freigabesignal für den Verstärker zu erzeugen. Das Freigabesignal Ei setzt den Transistor MN4 in der Vorladephase außer Betrieb und setzt den Transistor MN4 in selbstgesteuerter Weise während der Auswertzeit in Betrieb, um die Übergänge, bei denen die Spannung herabgesetzt wird, an den Ausgangsknoten OUT und /OUT zu beschleunigen.

Der CRDL-Schaltkreis 10 hat zwei Betriebsphasen, d. h. eine Phase, in der vorgeladen wird, und eine Auswertphase. Während der Ladephase geht das Taktsignal CK auf einen hohen Pegel, wodurch die zwei Ausgangsknoten OUT und /OUT über den nMOS-Transistor MN1 verbunden werden. Aufgrund des Effektes der Ladungsteilung werden die Spannungspegel an beiden Ausgangsknoten OUT und /OUT gleich. Da die Ausgänge komplementär sind, erreichen die Ausgangsknoten OUT und /OUT einen Spannungspegel zwischen den Werten Vdd und Vss, wobei angenommen ist, daß die parasitären Kapazitanzen der Knoten vergleichbar sind. Wenn dem so ist, erreichen die Spannungen der Ausgangsknoten etwa den Wert der Hälfte von Vdd. Wenn dem nicht so ist, werden die pMOS-Transistoren des kreuzgekoppelten Paares eingeschaltet und liefern zusätzliche Ladung an die Vorlade-Knoten, wodurch sich die Spannung der Hälfte von Vdd nähert. Nach Erreichen des gewünschten Spannungspegels erfahren die Ausgangsknoten keine weitere Hochsetzung der Spannung mehr, weil die kreuzgekoppelten pMOS-Transistoren MP1 und MP2, die höhere Schwellwertspannungen aufweisen, sofort abgeschaltet werden.

In der Auswertphase nimmt das Taktsignal CK einen niedrigen Pegel an, so daß der Transistor MN1 abschaltet, um die vorgeladenen Knoten OUT und /OUT voneinander zu trennen. Sodann wird in Abhängigkeit von den angelegten Eingangsspannungen ein Stromweg mit geringer Impedanz zum Erdpotential an einem der beiden vorgeladenen Knoten über das Pass-Transistornetzwerk 16 geschaffen, wodurch die Spannung am Knoten in Richtung auf das Erdpotential herabgesetzt wird. Wenn der Ausgangsknoten /OUT beispielsweise als auf niedrigem Pegel bewertet wird, so schaltet die Absenkung des Spannungspegels an diesem Knoten den pMOS-Transistor MP2 im kreuzgekoppelten Paar ein, wodurch der Ausgangsknoten OUT auf höhere Spannung gesetzt wird. Wenn das freigebende Eingangssignal Ei auf hohen Pegel geht, wird der Transistor MN4 eingeschaltet, um den Leseverstärker zu aktivieren. Aufgrund der regenerativen Wirkung des Leseverstärkers wird der Ausgangsknoten /OUT schnell in Richtung auf die Erdschaltung herabgesetzt. Sobald die Spannungs-differenz zwischen den Ausgangsknoten OUT und /OUT größer wird, schaltet der Transistor MP4 im Beschleunigungspuffer ein, um das Ausgangssignal Eo zu erzeugen, welches dazu verwendet wird, den Leseverstärker in der nächsten Stufe in Gang zu setzen.

Wie oben beschrieben ist, dient der Beschleunigungspuffer dazu, die Geschwindigkeit des CRDL-Schaltkreises zu erhöhen. Er ist nicht unbedingt erforderlich im CRDL-Schaltkreis. Wenn er jedoch benutzt wird, so muß das zeitliche Verhalten des Ausgangssignals Eo der vorangehenden Stufe gewissen Bedingungen genügen, um einen zuverlässigen Betrieb zu gewährleisten. Mit Blick auf die Geschwindigkeit ist ein schnelleres Ei-Signal sehr geeignet, eine hohe Leistung zu erreichen. Wenn jedoch der Leseverstärker zu schnell freigegeben wird, kann der Verstärker möglicherweise die logischen Zustände nicht korrekt lesen, was zu falschen Ausgangswerten führt. Das Freigabesignal Ei muß deshalb freigegeben werden, wenn eine hinreichende Spannungsdifferenz zwischen den Ausgangsknoten OUT und /OUT erreicht ist.

Um einen zuverlässigen Betrieb zu gewährleisten, wird das Ausgangssignal Eo der vorangehenden Stufe üblicherweise als Freigabesignal Ei für die nachfolgende Stufe verwendet. Das Freigabesignal Ei für die gerade laufende Stufe kann auch von der vorletzten und drittletzten vorangegangenen Stufe stammen, anstelle von der letzten vorangegangenen Stufe, um die höchstmögliche Geschwindigkeit zu erreichen, wobei angenommen ist, daß keine Bedingung hinsichtlich des Zeitverhaltens der Schaltung verletzt ist. Wenn das Ausgangssignal Eo der vorangehenden Stufe den zeitlichen Bedingungen nicht genügt, so kann die Fortpflanzungsverzögerung dadurch eingestellt werden, daß die Größe der Transistoren im Beschleunigungspuffer 14 entsprechend gewählt wird oder durch Einfügung eines passend in Verzögerungselementes.

Mit Blick auf Fig. 4B soll der Betrieb des CRDL-Schaltkreises 10 gemäß Fig. 4A erläutert werden, wobei angenommen ist, daß Vdd etwa 5V beträgt und das nMOS-Pass-Transistor-Logiknetzwerk 16 nMOS-Transistoren T1 und T2 aufweist, wobei das Gate und die Drain jedes Transistors an die Steuer-Variablen bzw. die

Pass-Variablen gekoppelt ist. Die Steuer- und Pass-Variablen können an die Ausgangsknoten d r vorangehenden Stufe angeschlossen sein.

Wenn das Taktsignal CK niedrigen Pegel hat, befindet sich der CRDL-Schaltkreis in einer Bewertungsphase. Während dieser Phase ist der Transistor MN1 ausgeschaltet und die Ausgangsknoten OUT und /OUT sind voneinander getrennt. Das Potential am Knoten OUT und am Knoten /OUT ist 0V bzw. 5V. Das Freigabesignal Ei und das Ausgangssignal Eo haben beide etwa 5V.

Wenn das Taktsignal CK sich auf einen niedrigen Pegel ändert, arbeitet der CRDL-Schaltkreis 10 in einer Vorladephase. Der Transistor NM1 ist eingeschaltet und die Ausgangsknoten OUT und /OUT sind miteinander verbunden. Somit wird die Ladung, die im parasitären Kondensator C2 des Ausgangsknotens /OUT geladen ist, auch auf den parasitären Kondensator C1 des Ausgangsknotens OUT aufgeteilt, bis das Potential an jedem Knoten etwa den Wert der Hälfte von Vdd erreicht, d. h. 2,5V. Während der Vorladephase sind die Transistoren MP3, MN2, MN3, MP4, MN4 und MN5 alle ausgeschaltet und das Freigabesignal Ei und das Ausgangssignal Eo fallen auf 0V.

Wenn das Taktsignal sich auf niedrigen Pegel ändert, steigt die an das Gate des Transistors T1 gelegte Spannung auf 5V und die an das Drain angelegte Spannung fällt auf 0V; während die an das Gate des Transistors T2 angelegte Spannung auf 0V fällt und die an das Drain angelegte Spannung auf 5V anwächst. Somit werden die Transistoren T1 und T2 ein- bzw. ausgeschaltet. Da durch den Transistor T1 Strom fließt, fällt das Potential am Ausgangsknoten /OUT auf 0V ab, wodurch der Transistor MP2 eingeschaltet wird. Ein Stromfluß durch den Transistor MP2 erhöht das Potential am Ausgangsknoten OUT auf 5V.

Wie gezeigt wurde, ist das Herabsetzen der Spannung am Ausgangsknoten /OUT schneller als das Heraufsetzen der Spannung am Ausgangsknoten OUT. Für einen zuverlässigen Betrieb sollte das Freigabesignal Ei angelegt werden, wenn eine gewisse Spannungsabweichung ΔV zwischen den Ausgangsknoten OUT und /OUT gegeben ist. Wenn ein Freigabesignal Ei von 5V angelegt wird, wird der Transistor MN4 eingeschaltet. Aufgrund eines Taktsignals mit niedrigem Pegel wird der Transistor MN5 ausgeschaltet. Da die Gates der Transistoren MP3 und MN2 an den Ausgangsknoten OUT angeschlossen sind, werden die Transistoren MP3 und MN2 einbzw. ausgeschaltet. In ähnlicher Weise werden bei Abfall des Potentials am Ausgangsknoten /OUT auf 0V die Transistoren MN3 und MP4 aus- bzw. eingeschaltet. Im Ergebnis wird die Herabsetzung des Potentials beschleunigt und es wird ein Ausgangssignal Eo mit hohem Pegel erzeugt. Wie Fig. 4B zeigt, ist eine zeitliche Verschiebung zwischen dem Freigabesignal Ei und dem Ausgangssignal Eo gegeben, je nach Funktion.

Wie oben erläutert wurde, dient der Transistor MN1 als Angleichungstransistor, um eine Aufteilung der Ladung zwischen den parasitären Kapazitäten der Ausgangsknoten OUT und /OUT zu bewirken. Das kreuzgekoppelte Paar von Transistoren MP1 und MP2 ermöglicht einen genauen Vorladepegel von etwa $1/2 (V_{dd} - V_t)$, wobei V_t die Schwellwertspannung der Transistoren MP1 und MP2 in der Vorladephase ist. In der Auswertungs- oder Bewertungsphase liefern die Transistoren MP1 und MP2 den Strom für das Heraufsetzen der Spannung. Das Herabsetzen des Potentials wird durch das nMOS-Pass-Transistor-Logiknetzwerk 16 erreicht.

Wie oben erläutert wurde, sind die Schwellwertspannungen der Transistoren MP1 und MP2 relativ größer als die der anderen Transistoren. Um den Schwellwertpegel einzustellen, kann ein besonderer Vorgang vorgesehen sein. Solch ein zusätzlicher Vorgang kann jedoch als zu teuer erachtet werden. Wie in Fachkreisen bekannt ist, können eine Rückwärtsspannung oder andere Techniken eingesetzt werden, um die Schwellwertspannung der Transistoren MP1 und MP2 höher als den Vorladepegel an den Ausgangsknoten OUT und /OUT einzustellen.

Die Fig. 4C—4E zeigen unterschiedliche Ausführungsbeispiele von CRDL-Schaltkreisen. Beim Ausführungsbeispiel gemäß Fig. 4C sind die Transistoren MN1, MP3, MP4 und MN5 des Ausführungsbeispiels von Fig. 4A durch die Transistoren MP3, MN1, MN5 bzw. MP4 ersetzt, so daß der CRDL-Schaltkreis 10 in der Vorladephase arbeitet, wenn das Taktsignal niedrigen Pegel hat und in der Auswertephase, wenn das Taktsignal hohen Pegel hat. Die Fig. 4D und 4E zeigen ähnliche Ausführungsbeispiele wie die Fig. 4A bzw. 4C. Anstelle der Verwendung eines nMOS-Pass-Transistor-Logiknetzwerkes 16, verwendet die CRDL-Schaltung nach Fig. 4D ein nMOS-Kaskoden-Logiknetzwerk 16'. Da in der Kaskodenlogik keine Beeinträchtigung der Geschwindigkeit auftritt, erübrigen sich die Transistoren MN2, MN3 und MN4 des Ausführungsbeispiels von Fig. 4A und beim Ausführungsbeispiel nach Fig. 4D sind ein Inverter INV und ein Transistor MP5 hinzugefügt.

In ähnlicher Weise verwendet der CRDL-Schaltkreis nach Fig. 4D einen nMOS-Kaskodenlogikbaum 16' und es erübrigen sich die Transistoren MN2, MN3 und MN4 des Ausführungsbeispiels gemäß Fig. 2, während ein Inverter INV und ein Transistor MN5 beim Ausführungsbeispiel nach Fig. 4E hinzugefügt sind. Die Transistoren MP5 und MN5 der Ausführungsbeispiele nach den Fig. 4D und 4E verhindern einen Kriechstrom aus dem nMOS-Kaskoden-Logiknetzwerk. Aufgrund der Beschreibung des Betriebs des Ausführungsbeispiels von Fig. 4A ist der Betrieb der Ausführungsbeispiele nach den Fig. 4C—4E für den Fachmann klar und es erübrigt sich insoweit eine Wiederholung.

Wie oben ausgeführt ist, geht das Potential an den Ausgangsknoten OUT und /OUT von Vdd zu $1/2 (V_{dd})$ und zu Vss oder umgekehrt. Im Unterschied hierzu erfordern herkömmliche CMOS-Schaltkreise einen vollen Spannungshub von Vdd zu Vss und umgekehrt. Somit erfordern die Ausgangsknoten OUT und /OUT eine Schnittstelle, um den Spannungshub-Pegel für den Einsatz mit herkömmlichen Logikschaltungen, die einen vollständigen Spannungshub erfordern, zu ermöglichen.

Um eine Koppelung eines CRDL-Schaltkreises 10 gemäß den Fig. 4A und 4C—4E mit herkömmlichen Schaltkreisen, die einen vollen Spannungshub erfordern, zu ermöglichen, kann eine einfache Schaltungsstruktur gemäß Fig. 5 dienen, um das Signal mit vollem Spannungshub vom Ausgang des CRDL-Schaltkreises zu gewinnen. Der Schaltkreis in Fig. 5A verwendet nur zwei Transistoren, die durch ein Paar komplementärer Signale getrieben werden, während die Schaltung gemäß Fig. 5C einen zusätzlichen Transistor erfordert, der durch das Freigabesignal getrieben wird, welches in einem CRDL-Logikblock erzeugt wird. Die Ausgänge werden in beiden Fällen

auf V_{dd} vorgeladen, während die Eingänge bei etwa der Hälfte von V_{dd} liegen. Eine Entladung erfolgt, wenn das Eingangssignal stabil wird. Mit einer solchen Dualität können Schaltkreise mit "null-zu-eins"-Übergängen an den Ausgangsknoten gebaut werden, wie in den Fig. 5B und 5D gezeigt ist.

Beim Ausführungsbeispiel gemäß Fig. 5A sind die Leitungen /D und D an die Ausgangsknoten /OUT und OUT angeschlossen oder umgekehrt. Während der Vorladephase ist das Potential auf den Leitungen /D und D etwa $1/2 (V_{dd})$. Somit ist der pMOS-Transistor TR1 eingeschaltet, weil die Spannungsdifferenz zwischen dem Gate und der Source 2,5V beträgt, was größer ist als die Schwellwertspannung von etwa 0,7V. Der nMOS-Transistor ist ausgeschaltet, weil die Spannungsdifferenz zwischen dem Gate und dem Drain etwa 0V beträgt. Somit erreicht das Ausgangssignal OUT' eine Source-Spannung von V_{dd} , z. B. 5V. Während der Auswertephase, wenn das Potential auf den Leitungen /D und D auf V_{dd} bzw. V_{ss} ansteigt, sind die Transistoren TR1 und TR2 aus- bzw. eingeschaltet. Somit geht das Ausgangssignal OUT' auf einen niedrigen Pegel von 0V.

In dem Schaltkreis nach Fig. 5B schalten der pMOS-Transistor TR1' und der nMOS-Transistor TR2' aus und ein, wenn das Potential auf den Leitungen /D und D etwa $1/2 (V_{dd})$ während der Aufladephase beträgt. In Folge geht das Ausgangssignal OUT' auf einen niedrigen Pegel von etwa 0V. Wenn das Potential auf den Leitungen D und /D auf V_{dd} bzw. 0V während der Bewertungsphase abfällt, schalten die Transistoren TR1' und TR2' ein bzw. aus, so daß das Ausgangssignal OUT' auf den hohen Pegel von V_{dd} wechselt.

Während der Vorladephase beträgt das Potential auf der Leitung /D gemäß Fig. 5C etwa $1/2 (V_{dd})$. Da der Transistor TR3 eingeschaltet ist, erreicht das Ausgangssignal OUT' den Wert V_{dd} . Wenn das Ausgangssignal OUT' hohen Pegel aufweist und das Ausgangssignal E_o auf Erdpegel liegt, ist der Transistor TR4 ausgeschaltet. In der Bewertungsphase steigt das Potential auf der Leitung /D an und die Transistoren TR3 und TR5 werden aus- bzw. eingeschaltet. Weil das Ausgangssignal E_o des CRDL-Schaltkreises auf hohem Pegel liegt, wird der Transistor TR4 eingeschaltet. Somit fließt ein Strom vom Ausgang OUT' zum Erdanschluß und das Ausgangssignal OUT' nimmt geringen Pegel an.

Beim Ausführungsbeispiel nach Fig. 5D liegt das Potential auf der Leitung /D bei etwa $V_{dd}/2$ und das invertierte Ausgangssignal / E_o ist während der Vorladephase auf hohem Pegel. Deshalb werden die Transistoren TR4' und TR5 aus- bzw. eingeschaltet und das Ausgangssignal OUT' geht auf niedrigen Pegel. Während der Bewertungsphase sind die Transistoren TR3 und TR4' eingeschaltet, weil das Potential auf der Leitung /D auf Erdpegel abfällt und das invertierte Ausgangssignal / E_o auf niedrigen Pegel geht. Die Transistoren TR3 und TR4' werden eingeschaltet und das Ausgangssignal OUT' geht auf V_{dd} .

Der CRDL-Schaltkreis hat gegenüber herkömmlichen dynamischen Logikschaltungen eine Reihe von wichtigen Vorteilen. Die CRDL-Schaltung verwendet ein besonderes Vorladeverfahren, bei dem die für eine logische Bewertung in einem ersten Arbeitszyklus verwendete Ladung rückgeführt wird, um eine Vorladung für einen zweiten, anschließenden Arbeitszyklus zu erhalten. Somit verbraucht die CRDL-Schaltung weniger Leistung als ein herkömmlicher Vorlade-Schaltkreis mit vollem Spannungshub. Unter idealen Umständen, unter der Annahme, daß exakt die Hälfte der Versorgungsspannung als Vorladungspegel erreicht wird, beträgt die von der CRDL-Schaltung verbrauchte Energie etwa nur 50% der Energie, die bei einer Schaltung mit vollem Spannungshub verbraucht wird.

Die Ladungsrückführung reduziert auch das di/dt -Rauschen auf den Versorgungsleitungen, welches in bestimmten Fällen bei herkömmlichen Schaltungen zu einem kritischen Problem wird. Die CRDL-Schaltung verwendet intern gespeicherte Ladungen zum Vorladen der Ausgangsknoten während der Vorladephase, was zu einer Reduzierung der Stromstärke bei der Stromversorgung führt. Das Rauschen sinkt in der Bewertungsphase auch, weil der Spannungshub reduziert ist, was bedeutet, daß kleinere Ströme auf den Versorgungsleitungen fließen.

Weiterhin haben die Gatter keine rauschempfindlichen dynamischen Knoten. Obwohl der Betrieb der CRDL-Schaltung auf der Vorladung und der Auswertung beruht, unter Verwendung einer Taktung, sind alle Auswerteknoten entweder an die Versorgung oder an die Masse angeschlossen, was insoweit zu einem statischen Betrieb führt. Dadurch sind die mit dynamischen Knoten verbundenen Probleme, wie Rauschen, eliminiert.

Die CRDL-Schaltung hat auch die Vorteile eines logischen Netzwerkes mit Durchgangstransistoren bei der Implementierung irgendeiner Bool'schen Funktion. Zum Beispiel kann die Funktion XOR mit nur zwei Pass-Transistoren (passiven Transistoren) verwirklicht werden. In der CRDL-Schaltung können die für das Heraufsetzen der Spannung im Pass-Transistor-Netzwerk erforderlichen Einrichtungen eingespart werden, weil gekoppelte Transistoren in dem Vorladekreis diese Aufgabe übernehmen. Diese wirksame Implementierung ist insbesondere bedeutsam, weil der Schlüssel zur Reduzierung des Leistungsverbrauchs und zur Erhöhung der Geschwindigkeit logischer Schaltungen in der Reduzierung der Anzahl von Baugruppen liegt.

Die Fig. 6A und 6B zeigen ein nMOS-Pass-Transistor-Logiknetzwerk zur Implementierung der Bool'schen Funktionen von XOR/XNOR- und AND/NAND-Gattern. Wie die Logiktafel von Fig. 6B zeigt, wird die XOR-Funktion durch zwei Pass-Transistoren erreicht, die an die Ausgangsknoten OUT angeschlossen sind, während die XNOR-Funktion durch zwei Pass-Transistoren verwirklicht wird, die an die Ausgangsknoten /OUT angeschlossen sind. Ähnlich wird gemäß der Logiktafel nach Fig. 6D die AND-Funktion durch zwei Pass-Transistoren verwirklicht, die an den Ausgangsknoten OUT angeschlossen sind, und die NAND-Funktion wird verwirklicht durch einen Pass-Transistor, der an den Ausgangsknoten /OUT angeschlossen ist.

Um die Leistung und Qualität der CRDL-Schaltung zu testen, wird der von der Versorgungsschiene gezogene Strom mit dem herkömmlicher Logikschaltungen verglichen, wie z. B. DCVS und LCDL. Die Vergleiche wurden mit einer Versorgungsspannung von 5V unter Verwendung von HSPICE für unterschiedliche Eingangslastfaktoren und Lastkapazitäten durchgeführt. Fig. 7A zeigt den Stromverbrauch für XOR/XNOR und AND/NAND-Gatter, die mit den Logikschaltungen verwirklicht sind, wobei der Eingangslastfaktor bei einer Last-Kapazität von 100fF zwischen 2 und 8 geändert wird. Fig. 7B zeigt die entsprechenden Daten bei einem Wechsel der Last-Kapazität im Bereich von 0,2 – 1pF.

Die Fortpflanzungsverzögerungen für alle Logikschaltungen und Bool'schen Funktionen werden einander entsprechend eingestellt durch eine passende Dimensionierung für jeden Eingangslastfaktor und jede Last-Kapazität. Aus den Darstellungen ergibt sich, daß die CRDL-Schaltung den kleinsten Stromverbrauch von allen logischen Schaltungen aufweist, was anzeigt, daß diese Logiktechnik den kleinsten Leistungsverbrauch aufweist.

Fig. 8 zeigt eine Bitanteilschaltung 20 (also eine Bitstruktur, aus der sich ein Mikroprozessor beliebiger Wortlänge erstellen läßt) für eine Übertragungskettenschaltung vom Manchester-Typ. Die Schaltung weist eine Vorladeschaltung 12 auf, wobei die Schwellwertspannung von kreuzgekoppelten pMOS-Transistoren durch eine Substrat-Verspannung V_{bb} eingestellt ist, und einen Vorspannungspuffer 14. Die Ausgangsknoten dienen als Übertragungsknoten Cout und /Cout der Zelle 20. Wie gezeigt ist, erlaubt das Logiknetzwerk 16 eine einfache Implementierung der Bitanteilschaltung 20 unter Verwendung von nMOS-Transistoren, die gesteuert werden durch Durchgangs-Variable A, /A, B, /B und P sowie durch Übertragungssignale Cin und /Cin.

Die Fig. 9A und 9B zeigen schematisch eine Addierschaltung 30 bzw. eine Übertragungsschaltung 40 eines Volladdierers. Sowohl die Addierschaltung 30 als auch die Übertragungsschaltung 40 weisen eine Vorladeschaltung 12 und Beschleunigungspuffer 14 bzw. 14 auf. Wie gezeigt ist, wird mit den Logiknetzwerken 16a und 16b die Addierschaltung 30 und die Übertragungsschaltung 40 in einfacher Weise verwirklicht unter Verwendung von nMOS-Transistoren, die durch Steuer- und Durchgangs-Variable A, /A, B, /B und Übertragungssignale C und /C gesteuert werden. Die Ausgangsknoten der CRDL-Schaltung dienen als Summen-Abgabeknoten Sout und /Sout und als Ausgabe-Übertragungsknoten Cout und /Cout. Die Übertragungskette für 8 bit wird durch Kaskadierung dieser Zelle in Reihe verwirklicht, wie in Fig. 10 gezeigt ist.

Die in Fig. 10A gezeigte einfache Version sieht vor, daß das Ausgangssignal E_o der vorangehenden Stufe als Freigabesignal E_i verwendet wird. In diesem Falle verbraucht die CRDL-Schaltung etwa 23% weniger Leistung als eine herkömmliche Schaltung gleicher Geschwindigkeit. Fig. 10B zeigt eine verbesserte Version, bei der die Verknüpfung bezüglich E_o optimiert ist. Im Einzelnen: das Ausgangssignal E_o jeder Stufe wird in die über-über-nächste Stufe eingegeben, um die Fortpflanzungsverzögerung durch Optimierung bezüglich der Zeitsteuerung bei der Aktivierung des Pufferverstärkers zu reduzieren. Mit dieser Verknüpfung verbessert sich die Geschwindigkeit um etwa 35% im Vergleich zu den einfachen Versionen, ohne daß ein zusätzlicher Leistungsverbrauch auftritt.

Bei der herkömmlichen DCVS-Manchesterübertragungskette wird ein Parallelübertrag verwendet, um den Betrieb zu beschleunigen. In herkömmlichen Schaltungen werden alle vorgeladenen dynamischen Knoten durch Verwendung eines schwachen pMOS-Transistors statisch gemacht, wobei hinreichend Strom eingegeben wird, um sowohl Leckströme zu kompensieren als auch diese Knoten gegen externes Rauschen zu schützen. Ein derartiger Vergleichsschaltkreis wurde unter Verwendung eines $0,8\text{ }\mu\text{m}$ Single-Poly-Double-Metall-n-Mulden-CMOS-Verfahrens hergestellt. Da bei diesem Verfahren eine Einstellung der Schwellwertspannung nicht möglich ist, wurden die Schwellwerte der kreuzgekoppelten pMOS-Transistoren für die CRDL-Schaltung durch Anlegen einer Rückwärts-Vorspannung eingestellt, so daß der Vorladungswert bei etwa 3,5V liegt.

Eine 8-bit-Manchesterübertragungskette und ein Volladdierer wurden aus einer CRDL-Schaltung und einer DCVS-Schaltung als Vergleichsschaltungen hergestellt, um die Qualität der hier vorgeschlagenen Logikschaltung zu prüfen. Die Fig. 11A und 11B zeigen die gemessenen Kurvenformen der optimierten Manchesterübertragungskette und des Volladdierers, jeweils unter Verwendung der CRDL-Schaltungstechnik. Zwischen dem Taktsignal /CK und einem Ausgangssignal am Ausgangs-Übertragungsknoten Cout in der Manchesterübertragungskette ist nur eine Verzögerung von 12,5 Nanosekunden und zwischen dem Taktsignal /CK und dem Ausgangssignal am Summenknoten ist nur eine Verzögerung von 28,2 Nanosekunden.

Aufgrund derartiger Messungen wurden die nachfolgenden Tabellen I(a) und I(b) aufgestellt, in denen in den einzelnen Spalten die Anzahl der Transistoren, die mittlere Leistung, die Fortpflanzungsverzögerung im ungünstigsten Fall und das berechnete Produkt aus Leistung und Verzögerung für jede der aufgeführten logischen Schaltungen angegeben ist. Die einfache Version und die optimierte Version einer Übertragungskette mit CRDL-Schaltkreisen gemäß der Erfindung erreichen Verbesserungen von 21% bzw. 48% bei dem Produkt aus Leistung und Verzögerung im Vergleich zu DCVS-Schaltungen, wie sich aus Tabelle I(a) ergibt. Die entsprechenden Ergebnisse für Volladdierer sind in Tabelle I(b) gezeigt, woraus sich ergibt, daß die neue Schaltungstechnik das Produkt aus Leistung und Verzögerung um etwa 16% im Vergleich zu herkömmlichen Schaltungen verbessert.

Tabelle I(a)

	Anzahl	Verzögerung (nsek)	Leistung ($\mu\text{W}@10\text{MHz}$)	Leistung·Verzögerung (fJ)
DCVS	140	3.08	142	437
CRDL	128	3.17	109	346
CRDL(opt.)	128	2.08	109	226

Tabelle I(b)

	Anzahl	Verzögerung (nsek)	Leistung ($\mu\text{W}@10\text{MHz}$)	Leistung·Verzögerung (fJ)
DCVS	38	0.70	37.5	26.3
CRDL	33	0.88	25.0	22.0

Zum Vergleich der Leistungsdaten statischer CMOS-Logikschaltungen sind in Tabelle II Simulationsergebnisse von statischen Volladdierern mit DCVS und CRDL-Schaltungen aufgetragen. Diese Simulationen wurden bei einer Betriebsfrequenz von 10MHz durchgeführt, wobei parasitäre Komponenten aus der Anordnung herausgenommen wurden (die Schaltaktivitäten der statischen Addierer liegen bei etwa 50%). Das in der Tabelle gezeigte Ergebnis zeigt, daß die statischen Logikschaltungen etwas bessere Daten hinsichtlich des Produktes aus Leistung und Verzögerung aufweisen.

Tabelle II

Simulationsvergleich zwischen statischen und dynamischen Volladdierern

	Anzahl	Verzögerung (nsek)	Leistung ($\mu\text{W}@10\text{MHz}$)	Leistung·Verzögerung (fJ)
Statische				
CMOS	40	1.65	11.0	18.2
Pass-Tr.	48	1.34	16.0	21.4
DCVS	38	0.75	32.4	24.3
CRDL	33	0.90	22.2	20.0

Die statischen Logikschaltungen haben geringere Geschwindigkeit, weshalb Techniken mit vorab geladenen Schaltungen weithin bei Hochgeschwindigkeitsanwendungen aufgrund des Geschwindigkeitsvorteils vorgezogen werden, obwohl dabei ein größerer Leistungsverbrauch auftritt als bei den statischen Logikschaltungen. Da fast alle heutzutage wichtigen Systeme mit geringem Leistungsverbrauch, wie zum Beispiel tragbare Telefone oder Notebook-Computer, gleichzeitig auch hohe Geschwindigkeitsanforderungen haben, ist es wichtig, den Leistungsverbrauch in den vorgeladenen Logikschaltungen soweit als möglich zu reduzieren.

Wie vorstehend beschrieben ist, ist die CRDL-Schaltung geeignet, die Forderungen nach geringem Leistungsverbrauch und hoher Geschwindigkeit bei VLSI-Systemen zu erfüllen. Die CRDL-Schaltungstechnik verbessert die Leistungsausbeute durch eine Ladungs-Rückführtechnik mit einer Geschwindigkeit, die derjenigen herkömmlicher Schaltkreise mit vorherigem Aufladen entspricht. Aufgrund der inhärenten statischen Operation wird der Rauschpegel verbessert und die mit dynamischen Knoten verbundenen Probleme werden überwunden. Weiterhin hat eine CRDL-Schaltung ein geringeres Prell-Rauschen, weil in der CRDL-Schaltung die interne Ladung rückgeführt wird. Schließlich hat eine CRDL-Schaltung auch einen kleineren Spannungshub im Vergleich zu herkömmlichen Logikschaltungen mit vorheriger Aufladung.

Patentansprüche

1. Logikschaltung, die mit Taktsignalen erster und zweiter Pegel betrieben wird und folgendes aufweist:
 erste und zweite Knoten (/OUT, OUT);
 eine Einrichtung (MP1, MP2) zum Hochsetzen der Spannung am ersten Knoten auf ein erstes Potential (V_{dd}), wenn das Taktsignal vom ersten Pegel auf den zweiten Pegel übergeht;
 eine Einrichtung (16) zum Herabsetzen der Spannung am zweiten Knoten auf ein zweites Potential, wenn das Taktsignal vom ersten Pegel auf den zweiten Pegel übergeht; und
 eine Einrichtung (MN1) zum Angleichen der Potentiale an den ersten und zweiten Knoten an ein drittes Potential, das zwischen den ersten und zweiten Potentialen liegt, wenn das Taktsignal vom zweiten Pegel auf den ersten Pegel geht.
2. Logikschaltung nach Anspruch 1, dadurch gekennzeichnet, daß die Einrichtung zum Hochsetzen der Spannung ein Paar kreuzgekoppelter Transistoren (MP1, MP2) aufweist.
3. Logikschaltung nach Anspruch 2, dadurch gekennzeichnet, daß das Paar kreuzgekoppelter Transistoren folgendes aufweist:

einen ersten Transistor mit einer Steuerelektrode und ersten und zweiten Elektroden;

einen zweiten Transistor mit einer Steuerelektrode und ersten und zweiten Elektroden, wobei die ersten Elektroden des ersten und zweiten Transistors ein erstes vorgegebenes Source-Potential erhalten, die Steuerelektrode des ersten Transistors mit der Einrichtung zum Angleichen der Potentiale und dem zweiten Knoten verbunden ist, und die Steuerelektrode des zweiten Transistors mit der Einrichtung zum Angleichen der Potentiale und dem ersten Knoten verbunden ist.

4. Logikschaltung nach Anspruch 3, dadurch gekennzeichnet, daß die Einrichtung zum Angleichen der Potentiale ein dritter Transistor ist mit einer Steuerelektrode und ersten und zweiten Elektroden, wobei die Steuerelektrode das Taktsignal empfängt und die ersten und zweiten Elektroden mit dem ersten bzw. zweiten Transistor verbunden sind.

5. Logikschaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Einrichtung zum Herabsetzen der Spannung ein logisches Netzwerk (16) mit passiven Transistoren (T1, T2) zum Implementieren einer vorgegebenen logischen Funktion ist.

6. Logikschaltung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Einrichtung zum Herabsetzen der Spannung eine Kaskoden-Logikschaltung zum Implementieren einer vorgegebenen logischen Funktion ist.

7. Logikschaltung nach einem der vorhergehenden Ansprüche mit zumindest einem der folgenden Bauteile: einem Leseverstärker (MN2, MN3, MN4) zum Beschleunigen der Herabsetzung des Potentials an den ersten und zweiten Knoten; und einer Einrichtung zum Erzeugen eines Ausgangssignals.

8. Logikschaltung nach Anspruch 7, dadurch gekennzeichnet, daß der Leseverstärker und/oder die Einrichtung zum Erzeugen des Ausgangssignals vierte, fünfte und sechste Transistoren (MN2, MN3, MN4) aufweist, wobei der vierte Transistor mit den ersten und zweiten Knoten verbunden ist, der fünfte Transistor mit den ersten und zweiten Knoten verbunden ist und der sechste Transistor mit den vierten und fünften Transistoren verbunden ist und ein Freigabesignal oder das Taktsignal empfängt.

9. Logikschaltung nach Anspruch 8, dadurch gekennzeichnet, daß die erste Elektrode des vierten Transistors mit dem ersten Knoten und die Steuerelektrode des vierten Transistors mit dem zweiten Knoten verbunden sind, daß die erste Elektrode des fünften Transistors mit dem zweiten Knoten und die Steuerelektrode des fünften Transistors mit dem ersten Knoten verbunden sind und daß

die zweiten Elektroden der vierten und fünften Transistoren gemeinsam an die erste Elektrode des sechsten Transistors angeschlossen sind.

10. Logikschaltung nach Anspruch 9, dadurch gekennzeichnet, daß eine Steuerelektrode des sechsten Transistors das Freigabesignal oder das Taktsignal empfängt und daß eine zweite Elektrode des sechsten Transistors an ein vorgegebenes zweites Potential angeschlossen ist.

11. Logikschaltung nach Anspruch 10, dadurch gekennzeichnet, daß die vierten, fünften und sechsten Transistoren nMOS-Transistoren sind.

12. Logikschaltung nach Anspruch 10, dadurch gekennzeichnet, daß die vierten und fünften Transistoren pMOS-Transistoren und der sechste Transistor ein nMOS-Transistor sind.

13. Logikschaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das dritte Potential etwa die Hälfte der Potentialdifferenz zwischen den ersten und zweiten Potentialen ist.

14. Logikschaltung nach Anspruch 3, dadurch gekennzeichnet, daß die ersten und zweiten Transistoren Schwellwertspannungen haben, die höher sind als das dritte Potential.

15. Logikschaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die ersten und zweiten Transistoren pMOS-Transistoren sind.

16. Logikschaltung nach Anspruch 4, dadurch gekennzeichnet, daß der dritte Transistor ein nMOS-Transistor ist.

17. Logikschaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß weiterhin eine Einrichtung vorgesehen ist zum Erzeugen eines Pegelabstandes zwischen den ersten und zweiten Potentialen in Abhängigkeit von einem Potentialausschlag vom dritten Potential auf das erste oder zweite Potential.

18. Logikschaltung mit:

ersten und zweiten Knoten; einem Paar kreuzgekoppelter erster und zweiter Transistoren (MP1, MP2), die an erste und zweite Ausgangsknoten (/OUT, OUT) angeschlossen sind;

einem dritten Transistor (MN1), der mit den ersten und zweiten Transistoren verbunden ist, wobei der dritte Transistor die Potentiale an den ersten und zweiten Knoten an Potentiale angleicht, die zumindest annähernd einander gleich sind; und

einem Logiknetzwerk, das mit den ersten und zweiten Knoten verbunden ist und eine vorgegebene Logikfunktion implementiert.

19. Logikschaltung nach Anspruch 18, dadurch gekennzeichnet, daß jeder der ersten, zweiten und dritten Transistoren eine erste Elektrode aufweist zum Empfangen eines ersten vorgegebenen Source-Potentials, und eine zweite Elektrode und eine Steuerelektrode, wobei die Steuerelektroden der ersten und zweiten Transistoren mit den ersten bzw. zweiten Elektroden des dritten Transistors verbunden sind und die Steuerelektroden der ersten und zweiten Transistoren mit den ersten und zweiten Knoten verbunden sind und die zweiten Elektroden der ersten und zweiten Transistoren mit den ersten bzw. zweiten Knoten verbunden sind.

20. Logikschaltung nach einem der Ansprüche 18 oder 19, dadurch gekennzeichnet, daß das Logiknetzwerk

ein nMOS-Passiv-Transistorlogiknetzwerk ist.

21. Logikschaltung nach Anspruch 18, dadurch gekennzeichnet, daß das Logiknetzwerk ein nMOS-Kaskoden-Logiknetzwerk ist.

22. Logikschaltung nach Anspruch 18, weiterhin gekennzeichnet durch zumindest eine der folgenden Baugruppen:

einen Leseverstärker (MN2, MN3, MN4) zum Beschleunigen einer Herabsetzung des Potentials an den ersten und zweiten Knoten; und

eine Einrichtung zum Erzeugen eines Ausgangssignals.

23. Logikschaltung nach Anspruch 22, wobei der Leseverstärker und/oder die Signalerzeugungseinrichtung vierte, fünfte und sechste Transistoren und zweite Knoten aufweist, wobei der fünfte Transistor mit den ersten und zweiten Knoten verbunden ist, und der sechste Transistor mit den vierten und fünften Transistoren verbunden ist und ein Freigabesignal oder ein Taktsignal empfängt.

24. Logikschaltung nach Anspruch 23, dadurch gekennzeichnet, daß erste Elektroden und Steuerelektroden des vierten Transistors mit den ersten bzw. zweiten Knoten verbunden sind, erste Elektroden und Steuerelektroden des fünften Transistors mit den ersten bzw. zweiten Knoten verbunden sind, und zweite Elektroden der vierten und fünften Transistoren gemeinsam an eine erste Elektrode des sechsten Transistors angeschlossen sind.

25. Logikschaltung nach Anspruch 24, dadurch gekennzeichnet, daß eine Steuerelektrode des sechsten Transistors ein Freigabesignal oder ein Taktsignal empfängt und daß eine zweite Elektrode des sechsten Transistors auf ein vorgegebenes zweites Potential gelegt ist.

26. Logikschaltung nach Anspruch 25, dadurch gekennzeichnet, daß die vierten, fünften und sechsten Transistoren nMOS-Transistoren sind.

27. Logikschaltung nach Anspruch 25, dadurch gekennzeichnet, daß die vierten und fünften Transistoren pMOS-Transistoren und der sechste Transistor ein nMOS-Transistor sind.

28. Logikschaltung nach einem der Ansprüche 18 bis 27, dadurch gekennzeichnet, daß jeder der ersten und zweiten Transistoren eine Schwellwertspannung aufweist, die höher ist als das Potential der ersten und zweiten Knoten, welches mittels des dritten Transistors angeglichen worden ist.

29. Logikschaltung nach Anspruch 18, dadurch gekennzeichnet, daß die ersten und zweiten Transistoren pMOS-Transistoren sind und daß der dritte Transistor ein nMOS-Transistor ist.

30. Verfahren zum Rückführen von Ladungen, die in ersten und zweiten parasitären Kondensatoren erster bzw. zweiter Knoten gespeichert sind, mit folgenden Schritten:

Hochsetzen der Spannung am ersten Knoten auf ein erstes Potential, wenn ein Taktsignal von einem ersten Pegel auf einen zweiten Pegel übergeht;

Herabsetzen der Spannung am zweiten Knoten auf ein zweites Potential, wenn das Taktsignal vom ersten Pegel auf den zweiten Pegel übergeht; und

Angleichen der Potentiale an den ersten und zweiten Knoten an ein drittes Potential, das zwischen den ersten und zweiten Potentialen liegt, wenn das Taktsignal vom zweiten Pegel auf den ersten Pegel geht.

31. Verfahren nach Anspruch 30 mit weiterhin zumindest einem der folgenden Schritte:

Beschleunigen des Übergangs beim Herabsetzen des Potentials an den ersten und zweiten Knoten, und Erzeugen eines Ausgangssignals.

Hierzu 15 Seite(n) Zeichnungen

FIG. 1A

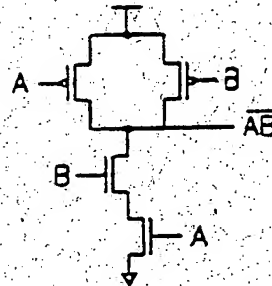


FIG. 1B

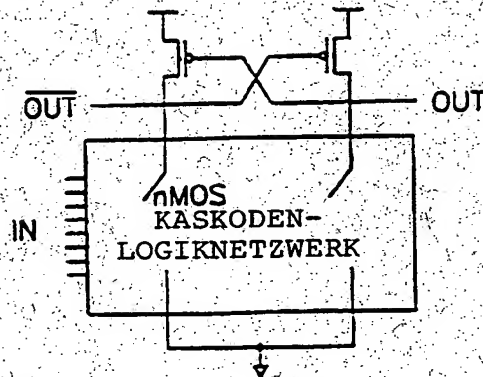


FIG. 1C

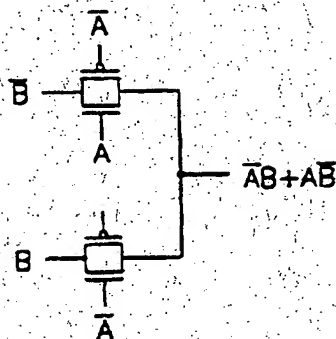


FIG. 1D

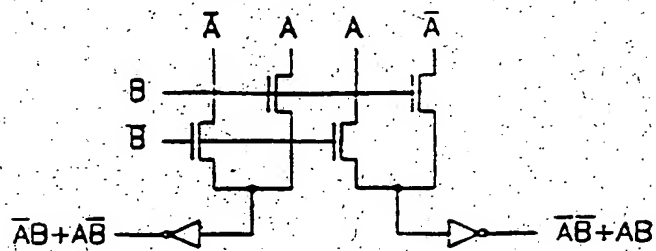


FIG. 2A

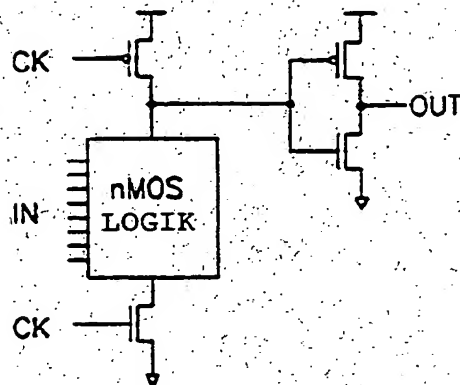


FIG. 2B

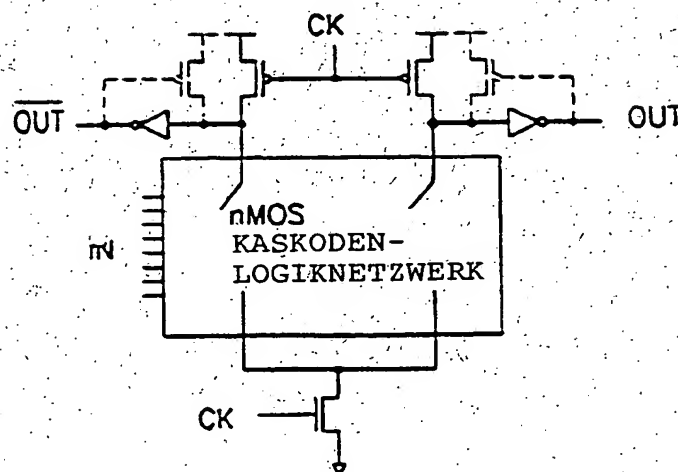


FIG. 2C

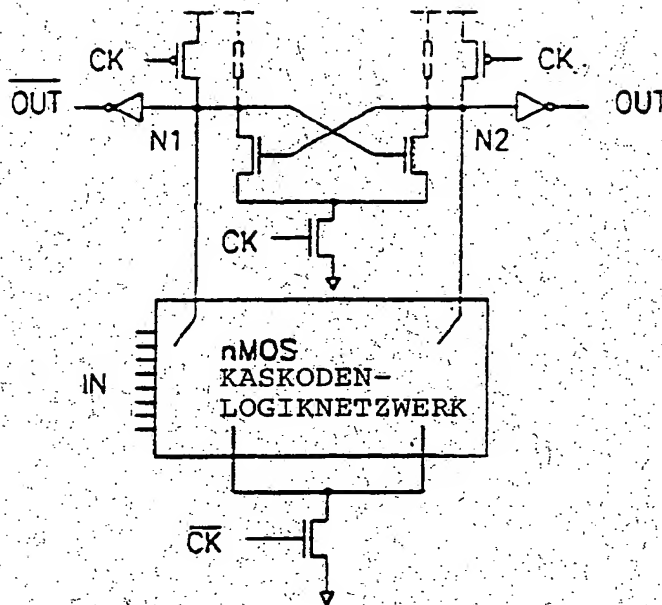


FIG. 2D

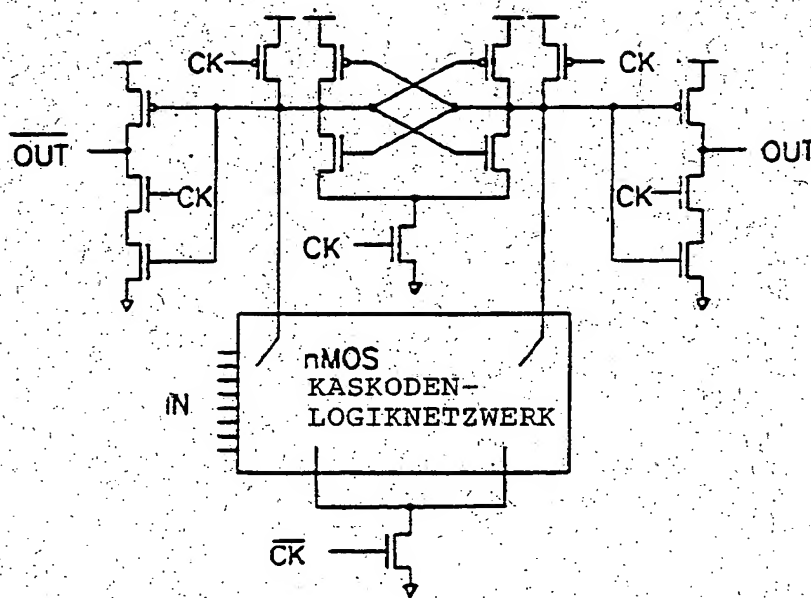


FIG. 3A

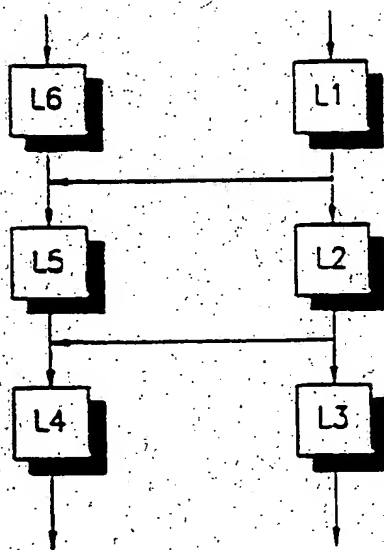


FIG. 3B

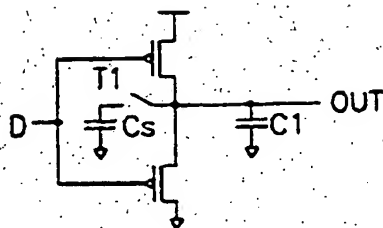


FIG. 4A

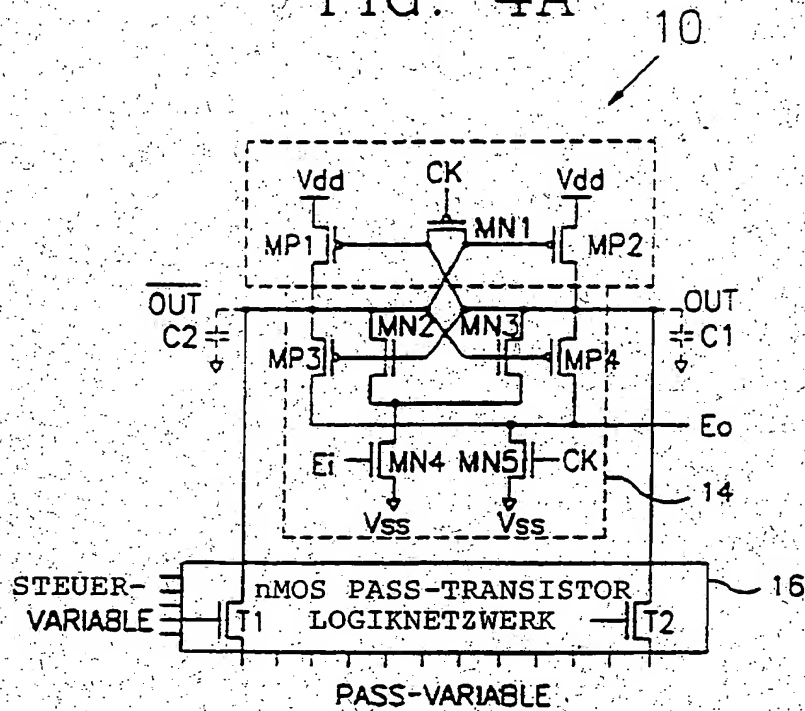


FIG. 4B

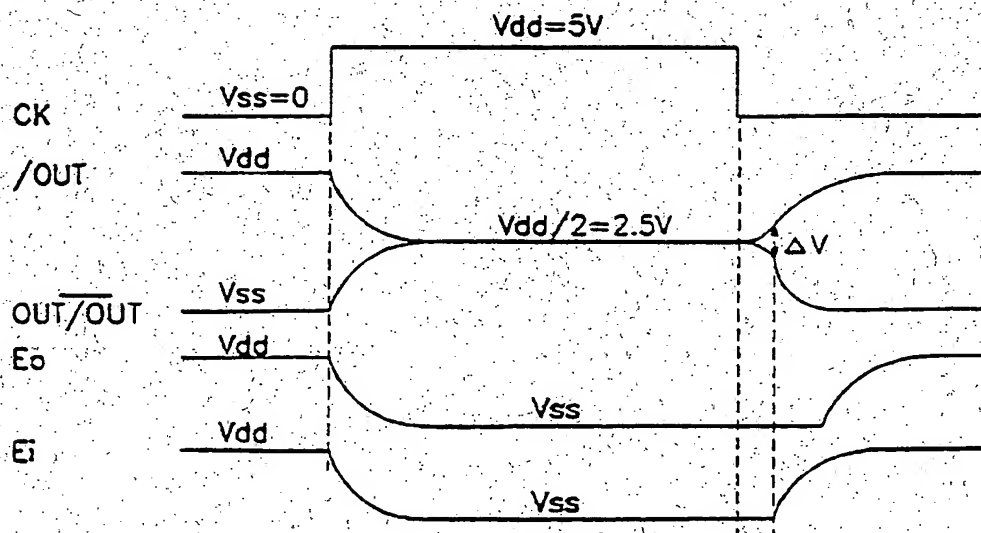


FIG. 4C

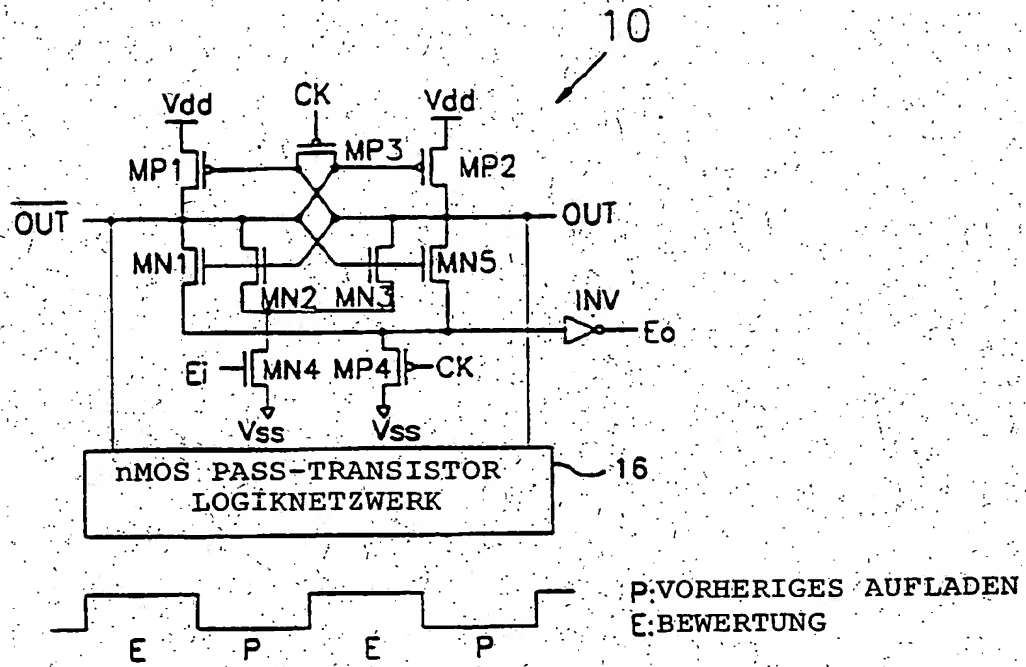


FIG. 4D

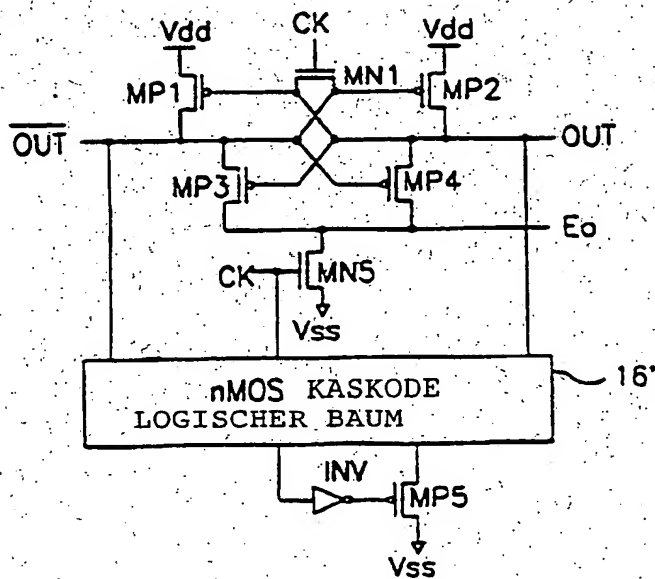


FIG. 4E

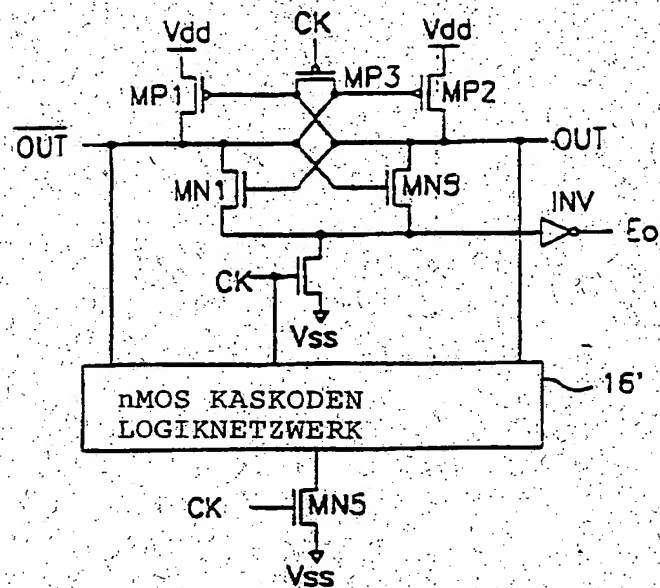


FIG. 5A

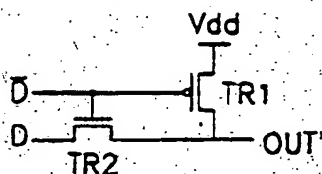


FIG. 5B

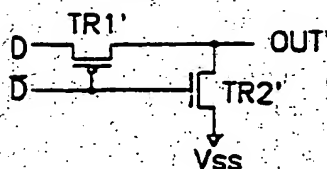


FIG. 5C

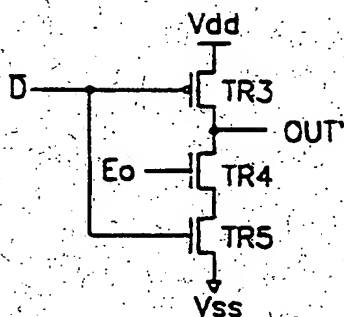


FIG. 5D

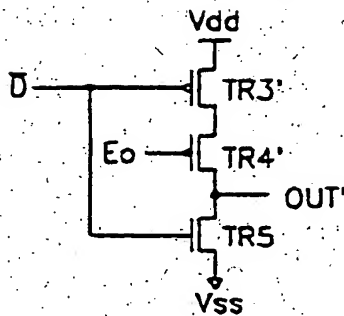


FIG. 6A

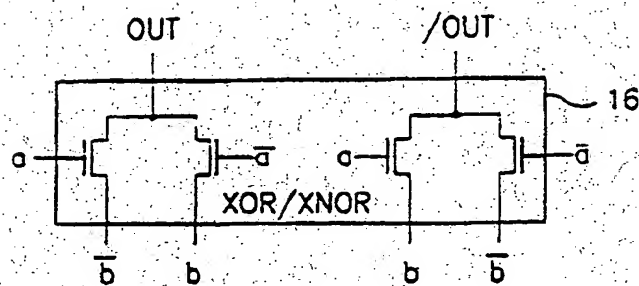


FIG. 6B

a	b	XOR OUT	XNOR /OUT
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

FIG. 6C

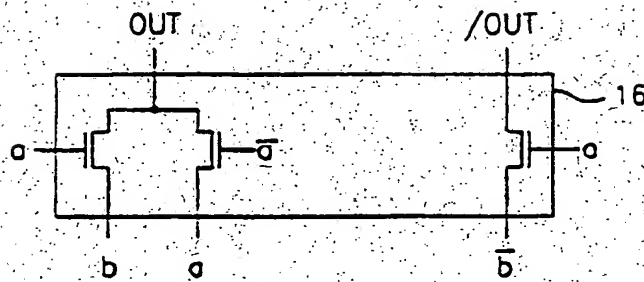


FIG. 6D

a	b	AND OUT	NAND /OUT
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

FIG. 7A

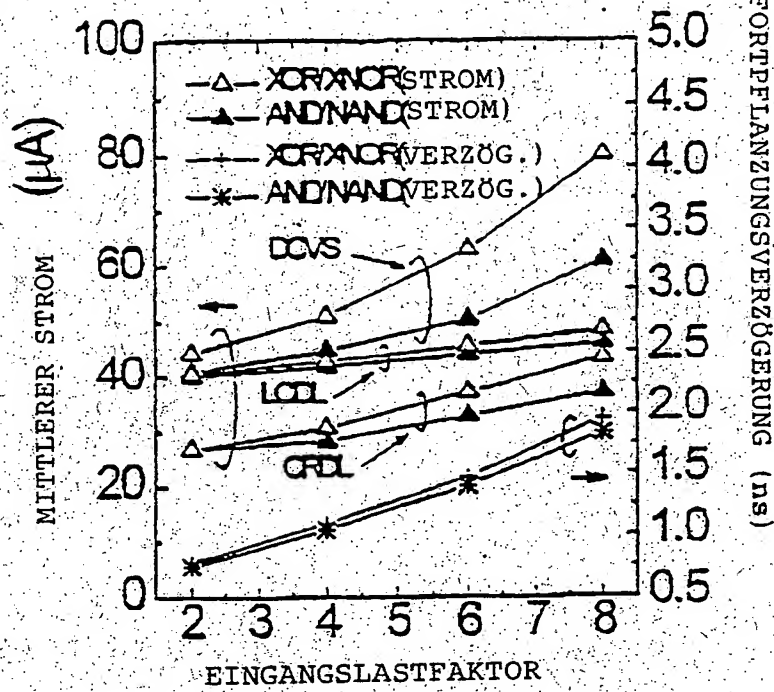


FIG. 7B

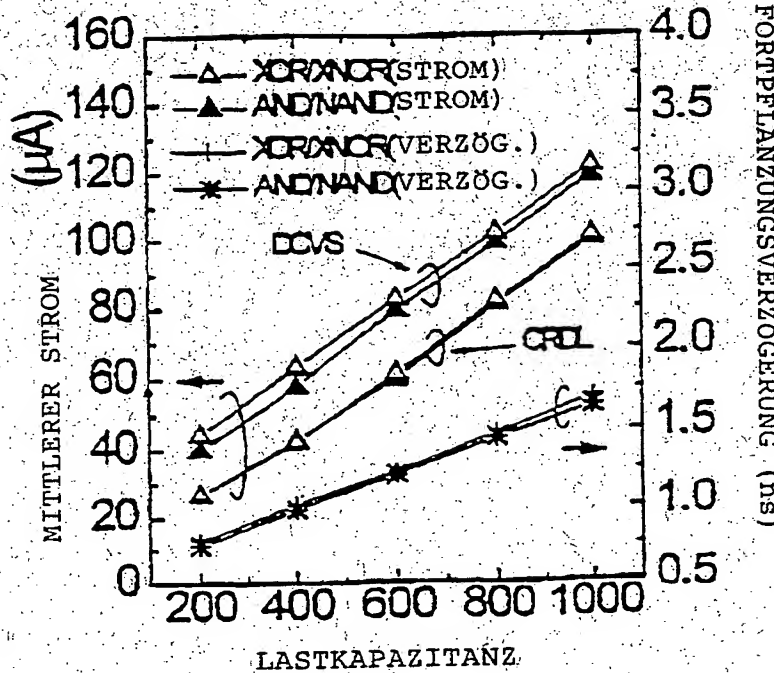


FIG. 8

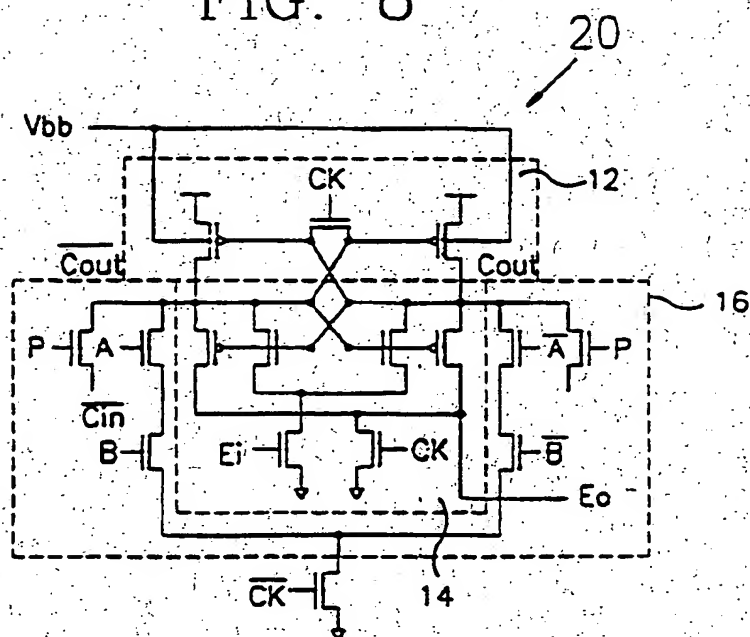


FIG. 9A

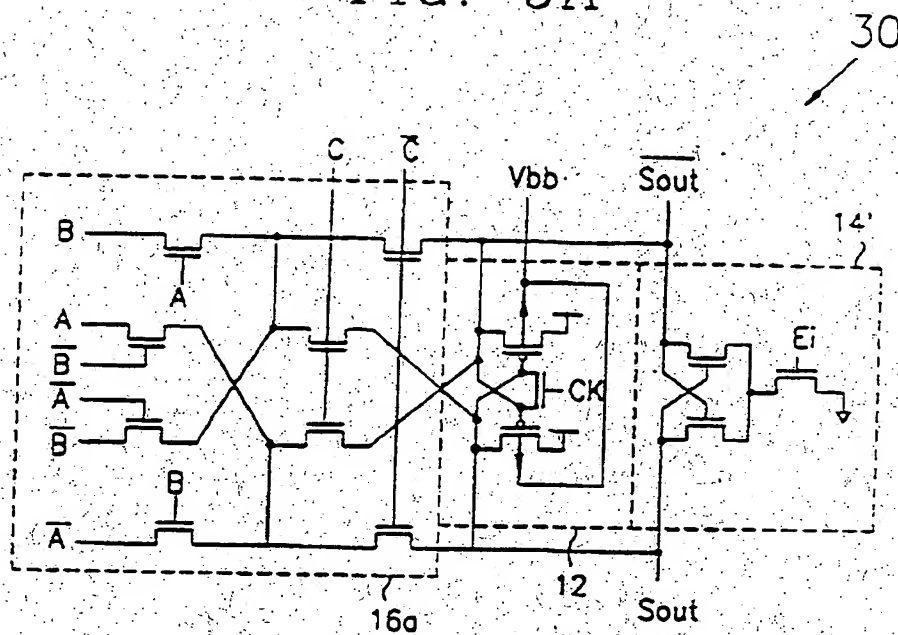


FIG. 9B

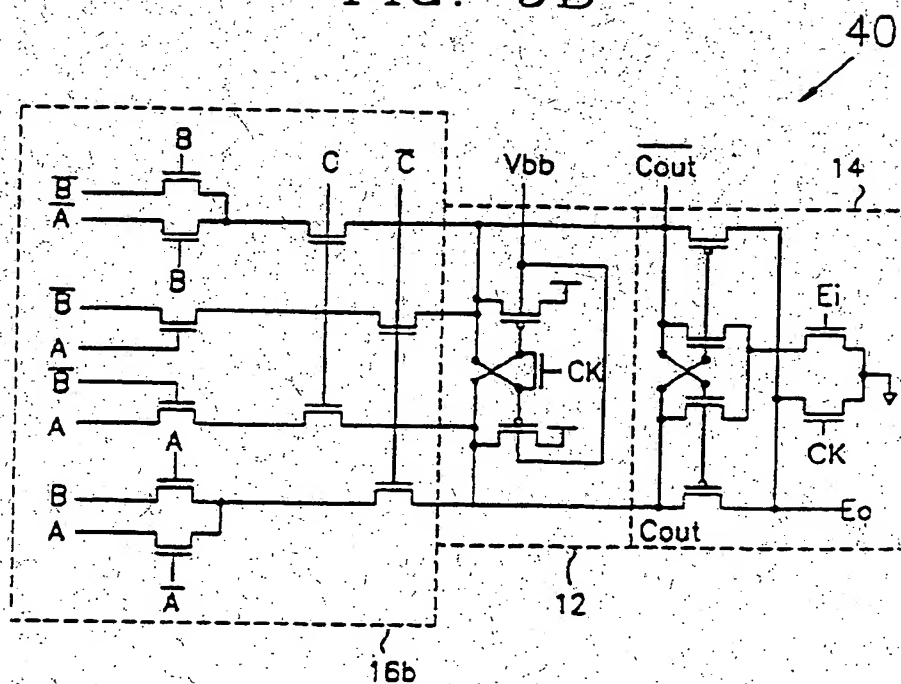


FIG. 10A

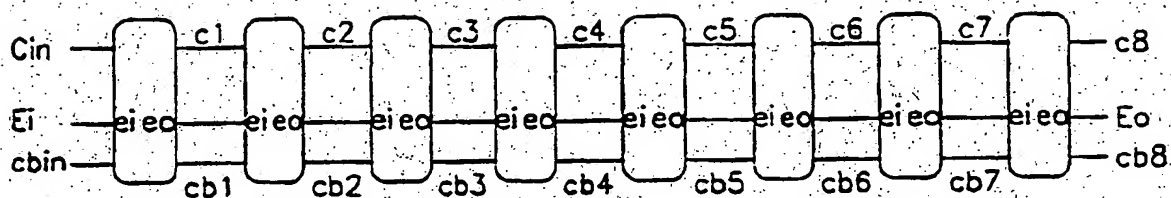


FIG. 10B

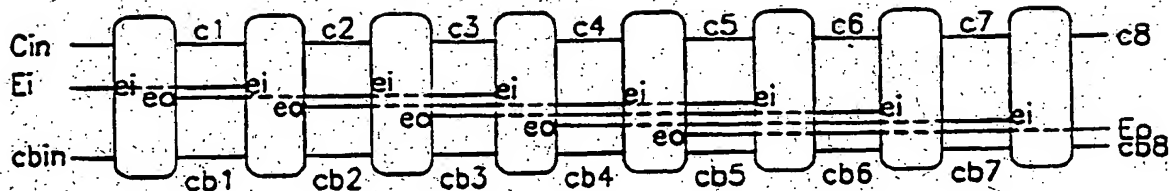


FIG. 11A

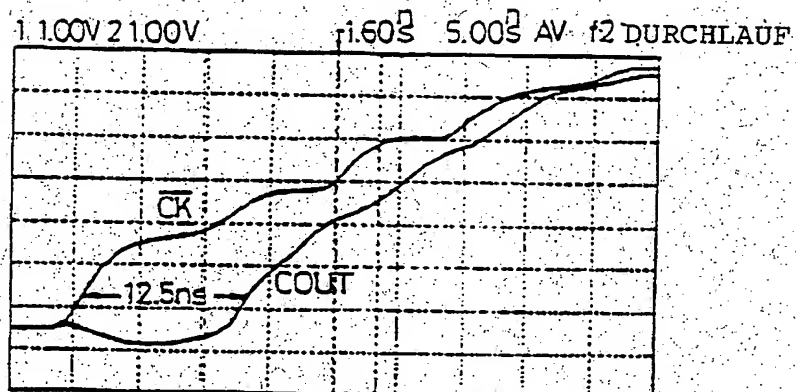


FIG. 11B

